

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

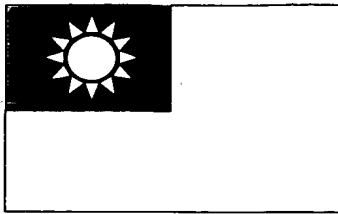
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



## 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 09 月 04 日  
Application Date)

申請案號：092124434  
Application No.

申請人：南亞科技股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 11 月 13 日  
Issue Date

發文字號：09221147590  
Serial No.

申請日期：	IPC分類
申請案號：	

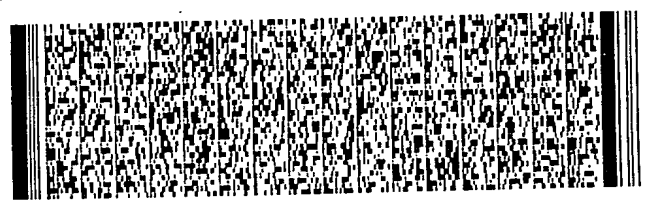
(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中 文	具有單側埋入帶之溝槽元件結構及其製造方法
	英 文	Trench device structure with single side buried strap and method for fabricating the same

二、 發明人 (共1人)	姓 名 (中文)	1. 許平
	姓 名 (英文)	1. Hsu Ping
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北縣中和市忠孝街106巷4號
	住居所 (英 文)	1.

三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



0538-10703twPat1: 07061: nsggy.pdf

四、中文發明摘要 (發明名稱：具有單側埋入帶之溝槽元件結構及其製造方法)

一種具有單側埋入帶之溝槽元件結構之製造方法，包含下列步驟。首先提供一具有一深溝槽之半導體基底，在該溝槽之下半部形成一埋入式溝槽電容。接著，在溝槽上半部內壁形成領型介電層，並接著填入第一導電層，其高度低於該領型介電層。其次，去除位於第一導電層上方之溝槽內壁的部分領型絕緣層，以露出部分的基底側壁。接著，在第一導電層上填入第二導電層，而第二導電層表面低於半導體基底表面。最後，藉由熱製程，使去除部分領型絕緣層之基底側壁中，形成一埋入帶擴散區域。

伍、(一)、本案代表圖為：第8圖。

(二)、本案代表圖之元件代表符號簡單說明：

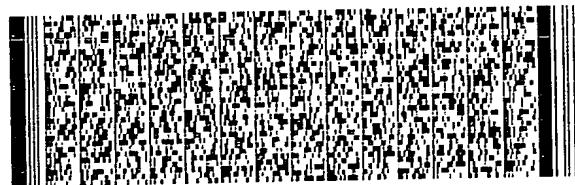
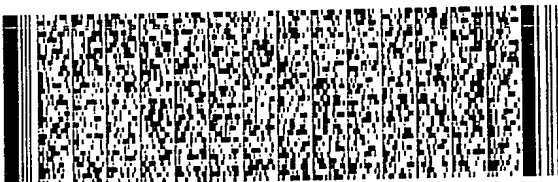
40~P型半導體矽基底；

41A、41B~深溝(DT)；

42A、42B~深溝電容器；

六、英文發明摘要 (發明名稱：Trench device structure with single side buried strap and method for fabricating the same)

Trench device with collar oxide for isolation. A buried trench capacitor is formed in a lower portion of a deep trench in a substrate. A conductive layer, surrounded by a collar insulating layer and lower than the collar insulating layer, is deposited in an upper portion of the trench. The collar insulating layer lining the trench is partially removed to expose a portion of the

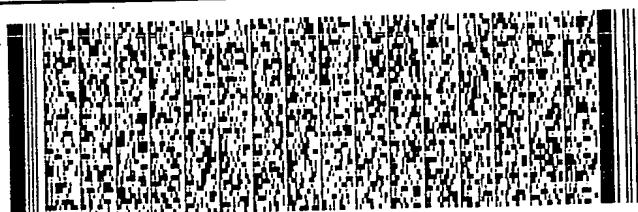


四、中文發明摘要 (發明名稱：具有單側埋入帶之溝槽元件結構及其製造方法)

43~墊層；  
44~埋入式電極板(buried plate)；  
46~節點介電層(node dielectric)；  
48A、48B~儲存節點(storage node)；  
50A、50A'、50B、50B'~領型介電(collar dielectric)層；  
52A、52B~n型摻雜之第一多晶矽層；  
53~襯層；  
55~未摻雜多晶或非晶矽；  
54A、54B~n型摻雜之第二多晶矽層；  
60A、60B~埋入帶擴散區。

六、英文發明摘要 (發明名稱：Trench device structure with single side buried strap and method for fabricating the same)

surface of the substrate and therefore a portion of the conductive layer contacts with the substrate. A buried strap is formed in the substrate where the conductive layer contacts with, as a single side buried strap. The other portions of the conductive layer are isolated from the substrate by the collar insulating layer. Thus, conventional shallow trench isolation (STI) structure is omitted.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

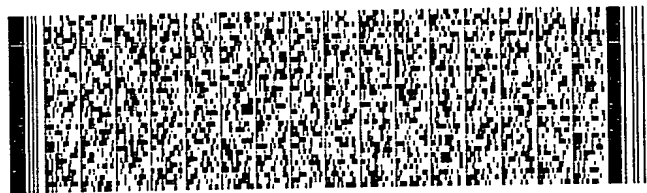
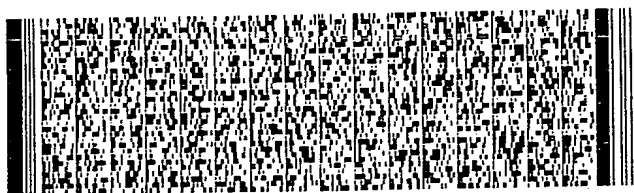
### 【發明所屬之技術領域】

本發明係有關於半導體記憶體，特別有關於一種記憶體裝置中之深溝電容結構及其製作技術。

### 【先前技術】

現今大多數的動態隨機存取記憶體(以下簡稱DRAM)單元是由一個電晶體與一個電容器所構成。由於目前DRAM之記憶容量已達到512百萬位元以上，在元件積集度要求越來越高的情況下，記憶單元與電晶體的尺寸需要大幅縮小，才可能製造出記憶容量更高，處理速度更快的DRAM。目前，立體化技術取代傳統平板化設計，開始被運用於DRAM的製程上的製程技術，可以大量地減少電晶體與電容器於半導體基底上所佔佈之面積。例如，將電容器結構製作於半導體矽基底內的深溝中，可以縮小記憶單元的尺寸與電力消耗，進而加快其操作速度。

第1圖所示為習知的一種DRAM胞之深溝結構(deep trench, DT)。如第1圖所示，P型半導體矽基底10內先製成一深溝(DT)11，而深溝11之下部區域製作成深溝電容器12，其包含一埋入式電極板(buried plate)14、一節點介電層(node dielectric)16以及一儲存節點(storage node)18所構成。習知的深溝電容器12製作，通常先利用反應性離子蝕刻(RIE)方法在p型半導體矽基底10內蝕刻形成深溝11。而後，藉由一重度摻雜氧化物(例如：砷玻璃(ASG))以及高溫短時間的退火製程，可使n型離子擴散至深溝11之下部區域，而形成n型擴散區14，用來作為深溝

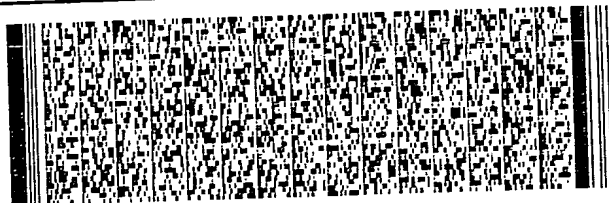
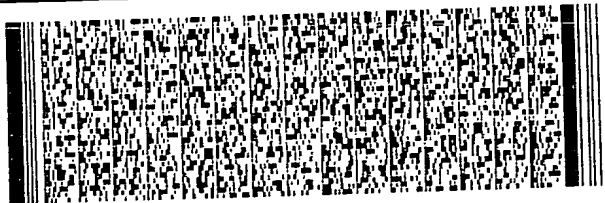


## 五、發明說明 (2)

電容器12的埋入電極板。之後，於深溝11底部與下部區域之內壁形成氮化矽襯層16，作為深溝電容器12的節點介電層。之後，於深溝11沉積n型摻雜之第一多晶矽層18，並回蝕(recess)第一多晶矽層18至預定深度，用來作為深溝電容器12的儲存節點。

在P型基底上完成深溝電容器12之後，接著在深溝11中，深溝電容器12上方區域的側壁上製作領型介電(collar dielectric)層20，並回蝕刻一既定深度。接著，再由深溝電容器12之上，深溝11內分別填入n型摻雜之第二多晶矽層22及n型摻雜之第三多晶矽層24。接著蝕刻該第三多晶矽層24與部分第二多晶矽層22之一側，以形成一淺溝隔離(STI)結構26製程，區分兩相鄰之DRAM胞。接著於P型基底10之表面形成字元線 $WL_1$ 、 $WL_2$ 、源/汲極擴散區域28、位元接觸插塞CB以及位元線BL等製程。在上述製程中，第三多晶矽層24的另一邊側壁，由於沒有領型介電層20的隔離，因此在後續的熱製程中，多晶矽層中的n型摻質經由該處外擴散(out-diffusion)至基底10中，形成埋入帶(buried strap)區域30，並與源/汲極擴散區28相接，作為一節點接合介面(node junction)，並連結深溝DT 11中之第二多晶矽層22、第三多晶矽層24與其下部之深溝電容器12。

然而，在記憶體胞密度越來越高時，上述製程中所形成的淺溝隔離結構(STI)的溝槽口日益縮小，導致STI結構中容易產生紋路縫隙(seam)與晶格缺陷等問題。





## 五、發明說明 (3)

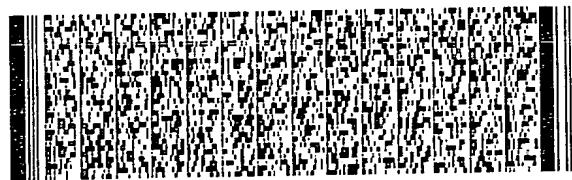
### 【發明內容】

本發明的目的在於提供一種具有單側埋入帶 (single-side buried strap) 層之溝槽元件結構及其形成方法，其利用領型絕緣層作為隔離結構，以縮小佈局面積。

本發明的再一個目的在於提供一種具有單側埋入帶層之溝槽元件結構及其形成方法，其利用一領型絕緣層取代淺溝槽隔離結構 (STI)，以簡化製程步驟並可避免主動區因淺溝隔離製程而受到損害。

為達上述目的，本發明提供一種單側埋入帶之溝槽元件結構之製造方法，包含下列步驟。首先提供一具有一深溝槽之半導體基底，在該溝槽之下半部形成一埋入式溝槽電容。接著，在溝槽上半部內壁形成領型介電層，並接著填入第一導電層，其高度低於該領型介電層。其次，去除位於第一導電層上方之溝槽內壁的部分領型絕緣層，以露出部分的基底側壁。接著，在第一導電層上填入第二導電層，而第二導電層表面低於半導體基底表面。最後，藉由熱製程，在去除部分領型絕緣層之基底側壁中，形成一埋入帶擴散區域。

藉由上述方法所形成的具有單側埋入帶之溝槽元件結構，深溝槽的一側邊可藉由領型絕緣層隔離第一與第二導電層，而另一側邊之領型絕緣層則可隔離第一導電層，而使部分的第二導電層直接與半導體基底側面相接。因此，藉由適當的熱製程，第二導電層中的摻質可直接擴散至半



#### 五、發明說明 (4)

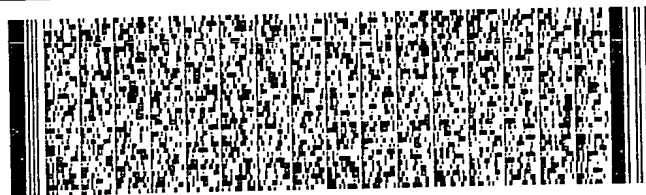
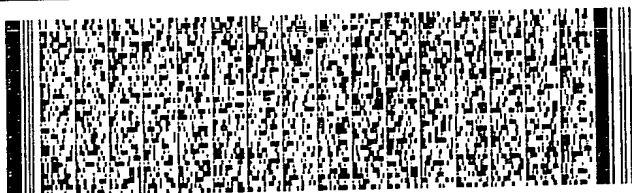
導體基底中，形成單邊擴散的埋入帶。藉此，可利用領型絕緣層取代習知的淺溝隔離結構(STI)。

為了讓本發明之上述目的、特徵、及優點能更明顯易懂，以下配合所附圖式，作詳細說明如下：

#### 【實施方式】

第2圖所示為根據本發明之一實施例中，DRAM胞之佈局上視圖。以下根據第2圖之佈局，沿1-1方向之切線，以第3至第8圖進一步說明本發明之具有單側埋入帶(single-side buried strap)層之溝槽元件之製作方法及其所形成之結構。

首先參見第3圖，所示為一半導體矽基底40，表面覆蓋有一墊層(pad layer)，如氮化矽(SiN)墊層。而其中挖出深溝槽(deep trench, DT)41A與41B。其內部已經分別完成深溝電容器42A與42B之製作，包含：埋入電極板44、節點介電層46以及儲存節點48。深溝電容器42A與42B可由習知技術製程完成，以下簡述其製作方法。以p型半導體矽基底40為例，藉由圖案化的氮化矽墊層41以及反應性離子蝕刻(RIE)方法，於矽基底40內形成深溝41A與41B。而後，進行一摻雜氧化物之沉積製程，例如：砷玻璃(ASG)，以及執行一高溫短時間的退火製程，使n型離子擴散至深溝41A與41B的下部區域兩側之矽基底40中，而形成n型擴散區44，用以作為電容器之埋入電極板(buried plate)。然後，於深溝41A與41B之內壁與底部形成介電層46，較佳者為氮化矽層、氧化矽-氮化矽(oxide-nitride



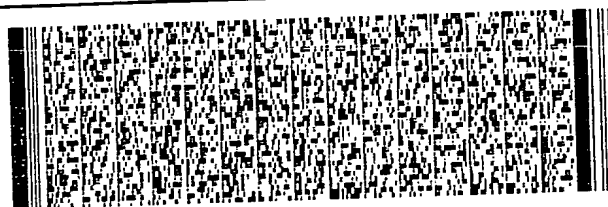
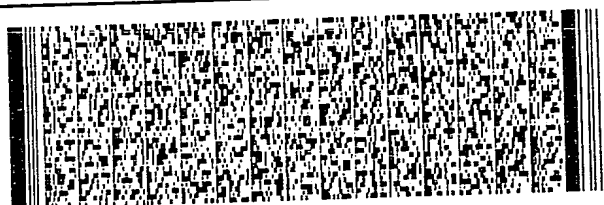
## 五、發明說明 (5)

，簡稱ON)的疊層結構、或是氧化矽-氮化矽-氧化矽 (oxide-nitride-oxide，簡稱ONO)的疊層結構。接著於深溝41A與41B內填滿一n型摻雜之多晶矽層48，並將多晶矽層48A與48B回蝕刻至預定深度。而後，去除多晶矽層48A與48B區域以外之介電層46。所形成的深溝電容器42A與42B如第3圖中所示，多晶矽層48用來為電容器之儲存節點 (storage node)，而夾設於n型擴散區44以及多晶矽層48A或48B之間的介電層46則是用作為電容器之節點介電層。

接著，如第4圖所示，在深溝電容器42A與42B之上進行領型絕緣層 (collar oxide) 製程。在一較佳實施例中，可先利用氧化方法於使深溝42A與42B中暴露的矽基底側壁表面形成氧化矽層，再利用化學氣相沈積 (CVD) 在矽基底40表面與深溝41A與41B表面，順應性 (conformal) 的沈積的四乙基矽酸鹽 (TEOS) 所構成之氧化物，厚度約為200至300埃。接著，再以非等向性乾蝕刻方式去除多晶矽層48頂部以及矽基底40表面的之氧化矽層，在深溝41A與41B的側壁上，形成如第4圖所示之領型絕緣層50A與50B。

之後，在深溝41A與41B中分別沉積n型摻雜之第二多晶矽層52A與52B，先以化學機械研磨 (CMP) 去除墊層43表面的多晶矽層，接著進一步回蝕刻深溝41A與41B內的多晶矽層52A與52B至低於半導體基底40表面之一預定深度。

接著，參見第5圖，在基底40表面與深溝41A與41B中，順應性的沈積一襯層 (liner) 53與一未摻雜多晶或非晶矽層55。在較佳實施例中，襯層53可藉由低壓化學氣相沈

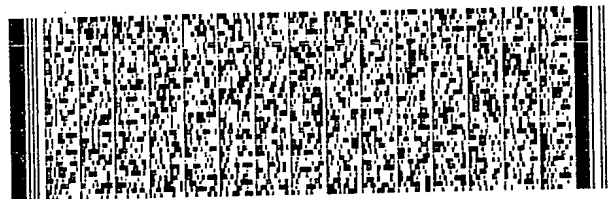
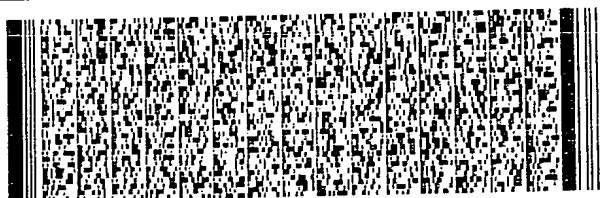


#### 五、發明說明 (6)

積法(LPCVD)形成厚度約100埃之氮化矽層。接著仍以LPCVD，在襯層53表面順應性的沈積50至100埃左右的未摻雜多晶矽層(un-doped polysilicon)或非晶矽層(amorphous silicon)。襯層53與未摻雜多晶或非晶矽層55順應性的覆蓋領型絕緣層50A與50B以及其下的多晶矽導電層52A與52B。

之後，仍如第5圖所示，對該半導體基底40表面的未摻雜多晶或非晶矽層55進行一既定角度之離子佈植製程(ion implantation)，較佳之離子佈植角度為 $7^{\circ}$ 至 $15^{\circ}$ ，其中該斜角離子佈植的能量在5到20 KeV的範圍，其中該斜角離子佈植的劑量在 $1 \times 10^{14}$ 至 $1 \times 10^{15}$  ions/cm<sup>2</sup>的範圍。較佳之離子源為BF<sub>2</sub>或B。由於深溝結構的高深寬比，因此當以斜角度進行離子佈植時，深溝41A與41B內的一側面以及多晶矽導電層52A與52B表面的局部區域不會受到離子植入。其中，氮化矽襯層53可以隔絕領型絕緣層50A與50B不受離子佈植影響，並可以做為後續蝕刻步驟之硬幕罩層。

接著參見第6圖，以選擇性濕式蝕刻(wet etching)去除未受離子佈植之未摻雜之多晶或非晶矽層55，以露出其下的襯層53。濕式蝕刻液係選擇自對於摻雜與未摻雜之多晶或非晶矽層55具有不同蝕刻率的蝕刻液。在較佳實施例中，當摻質為BF<sub>2</sub>或B時，選用低濃度度氫氧化銨溶液(NH<sub>4</sub>)作為濕式蝕刻液，對於未摻雜的多晶或非晶矽層55的蝕刻率顯著高於已摻雜者，因此未受到離子佈植的多晶矽層或



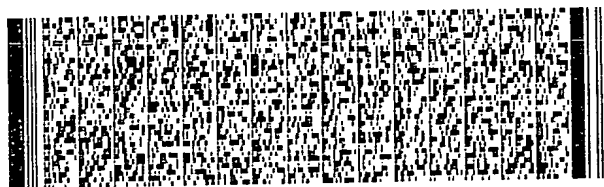
## 五、發明說明 (7)

非晶矽層55則被去除，露出其下的襯層53。

接著以殘留之摻雜多晶矽層或非晶矽層55為幕罩，蝕刻露出之襯層53，以露出深溝41A與41B中一邊側壁上的領型絕緣層50A與50B。接著再以摻雜之多晶矽層或非晶矽層55以及襯層53為幕罩，去除暴露出的領型絕緣層50A與50B而形成高度較低的側邊50A'與50B'，如第7圖所示。最後，將殘餘之多晶矽層或非晶矽層55以及襯層53全部移除，而形成深溝41A與41B中，一側邊50A與50B高，而另一側邊50A'與50B'低之領型絕緣層結構。

接著參見第8圖，在深溝41A與41B中，分別沈積n型摻雜之第三多晶矽層54A與54B，先以化學機械研磨(CMP)去除墊層43表面的多晶矽層，接著進一步回蝕刻深溝41A與41B內的多晶矽層54A與54B至低於半導體基底40表面之一預定深度。根據上述步驟，多晶矽層54A與54B的一側邊可藉由較高的領型絕緣層50A與50B與半導體基底40之側面完全隔絕，然而另一側邊因為領型絕緣層50A'與50B'高度低於多晶矽層54A與54B，因此多晶矽層54A與54B的一側邊直接與半導體基底40之側壁相接。因此，可藉由一額外之熱製程，或者藉由後續製程中既有之熱製程，使多晶矽層54A與54B中的n型摻質擴散至相鄰的半導體基底40中，分別形成埋入帶(buried strap)擴散區域60A與60B。

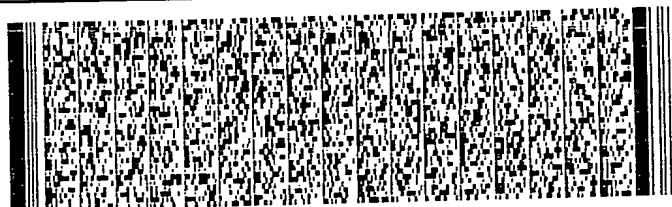
第9圖所示為根據第2圖之1-1切線方向，如上述步驟形成之DRAM胞的剖面示意圖。完成上述之單側埋入帶之深溝槽製程後，後續可在半導體基底40上進行閘極GC、源/



#### 五、發明說明 (8)

汲極擴散區域58、位元接觸插塞BC等製程。上述元件可利用習知製程完成，故於此省略說明。然則由第9圖中可以看出，源極/汲極擴散區58與深溝42A一側的埋入帶(buried strap)擴散區域60A相接，作為一節點接合介面(node junction)，連結深溝中的多晶矽層54A、52A與其下部之深溝電容器42A。而深溝41A的另一側則以領型絕緣層50A與半導體基底40間隔離，而省略習知的淺溝隔離製程。

雖然本發明以較佳實施例揭露如上，然其並非用以限定本發明，任何熟悉此項技藝者，在不脫離本發明之精神和範圍內，當可做些許更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1圖所示為習知的一種搭配淺溝隔離結構(STI)的深溝電容器的結構剖面圖。

第2圖所示為根據本發明之一實施例中，DRAM胞之佈局上視圖。

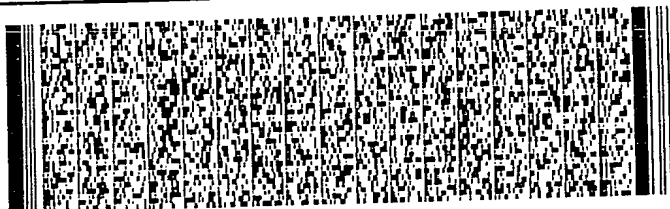
第3至第8圖所示為根據第2圖之1-1切線方向，形成具有單側埋入帶(single-side buried strap)層之溝槽元件之製作方法流程。

第9圖所示為根據第2圖之1-1切線方向，依第3至第8圖所形成之DRAM胞的剖面示意圖。

## 【符號說明】

### 習知技術

- 10~P型半導體矽基底；
- 11~深溝(DT)；
- 12~深溝電容器；
- 14~埋入式電極板(buried plate)；
- 16~節點介電層(node dielectric)；
- 18~儲存節點(storage node)；
- 20~領型介電(collar dielectric)層；
- 22~n型摻雜之第二多晶矽層；
- 24~n型摻雜之第三多晶矽層；
- 26~淺溝隔離(STI)結構；
- 28~源/汲極擴散區；
- 30~埋入帶(buried strap)；



圖式簡單說明

CB~位元接觸插塞；

BL~位元線；

WL<sub>1</sub>、WL<sub>2</sub>~字元線。

本發明技術部份

40~P型半導體矽基底；

41A、41B~深溝(DT)；

42A、42B~深溝電容器；

43~墊層；

44~埋入式電極板(buried plate)；

46~節點介電層(node dielectric)；

48A、48B~儲存節點(storage node)；

50A、50A'、50B、50B'~領型介電(collar dielectric)層；

52A、52B~n型摻雜之第一多晶矽層；

53~襯層；

55~未摻雜多晶或非晶矽；

54A、54B~n型摻雜之第二多晶矽層；

58~源/汲極擴散區；

60A、60B~埋入帶擴散區；

CB~位元接觸插塞；

GC~閘極。





## 六、申請專利範圍

1. 一種單側埋入帶之溝槽元件結構之製造方法，包含下列步驟：

提供一半導體基底，其中形成一溝槽；

在該溝槽之下半部形成一埋入式溝槽電容；

在該溝槽上半部內壁形成一領型介電層；

在該埋入式溝槽電容上方填入一第一導電層，且其低於該領型介電層一既定高度；

去除位於該溝槽內壁中之部分該領型絕緣層以露出部分的該半導體基底側壁；

在該第一導電層上方填入一第二導電層，該第二導電層低於該半導體基底表面；以及

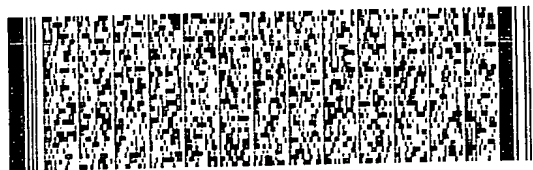
在去除部分領型絕緣層之該半導體基底側壁上，形成一埋入帶擴散區域。

2. 根據申請專利範圍第1項所述之單側埋入帶之溝槽元件結構之製造方法，其中去除位於該溝槽內壁中之部分該領型絕緣層更包含下列步驟：

在該半導體基底表面及該溝槽之第二導電層上方之內表面依序形成一順應性之襯層與一未摻雜多晶或非晶矽層；

對該未摻雜之多晶或非晶矽層進行一斜角度離子佈植，其中該溝槽內之一部份的該多晶或非晶矽層未受到離子佈植；

進行一選擇性濕式蝕刻去除未受離子佈植之該未摻雜之多晶或非晶矽層以露出其下的襯層；



## 六、申請專利範圍

以該未被去除的摻雜之多晶或非晶矽層為幕罩，依序蝕刻該露出的襯層與相鄰的該領型絕緣層；以及

去除剩餘之摻雜之多晶或非晶矽層與該襯層。

3. 根據申請專利範圍第2項所述之單側埋入帶之溝槽元件結構之製造方法，其中該襯層為氮化矽層。

4. 根據申請專利範圍第3項所述之單側埋入帶之溝槽元件結構之製造方法，其中該氮化矽層厚度約為100埃。

5. 根據申請專利範圍第3項所述之單側埋入帶之溝槽元件結構之製造方法，其中該未摻雜之多晶或非晶矽層與該氮化矽層係以低壓化學氣相沈積法(LPCVD)形成。

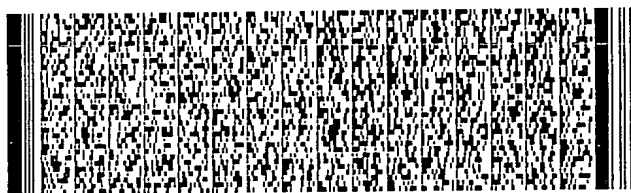
6. 根據申請專利範圍第2項所述之單側埋入帶之溝槽元件結構之製造方法，其中該未摻雜之多晶或非晶矽層之厚度介於50到100埃。

7. 根據申請專利範圍第2項所述之單側埋入帶之溝槽元件結構之製造方法，其中該離子佈植之摻質為 $\text{BF}_2$ 或B。

8. 根據申請專利範圍第7項所述之單側埋入帶之溝槽元件結構之製造方法，其中該離子佈植之角度為 $7^\circ$ 至 $15^\circ$ 。

9. 根據申請專利範圍第7項所述之單側埋入帶之溝槽元件結構之製造方法，其中該選擇性濕式蝕刻係以低濃度氫氧化銨溶液為蝕刻液。

10. 根據申請專利範圍第2項所述之單側埋入帶之溝槽元件結構之製造方法，其中去除剩餘之摻雜之多晶或非晶矽層與該襯層更包含下列步驟：



#### 六、申請專利範圍

氧化該剩餘之摻雜之多晶或非晶矽層；以及

依序去除該氧化之多晶或非晶矽層及其下方襯層。

11. 根據申請專利範圍第1項所述之單側埋入帶之溝槽元件結構之製造方法，其中該領型絕緣層係由化學氣相沈積法(CVD)形成之四乙基矽酸鹽所構成之氧化物。

12. 根據申請專利範圍第11項所述之單側埋入帶之溝槽元件結構之製造方法，其中該領型絕緣層厚度介於200到300埃。

13. 根據申請專利範圍第1項所述之單側埋入帶之溝槽元件結構之製造方法，其中該第一導電層與第二導電層為摻雜的複晶矽層。

14. 根據申請專利範圍第13項所述之單側埋入帶之溝槽元件結構之製造方法，其中形成該埋入帶擴散區域，係進行一熱處理。

15. 一種單側埋入帶之溝槽元件結構之製造方法，包括下列步驟：

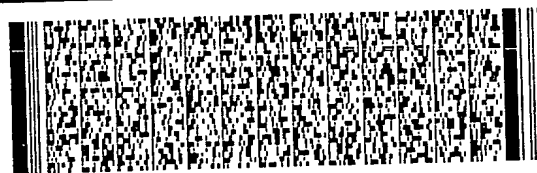
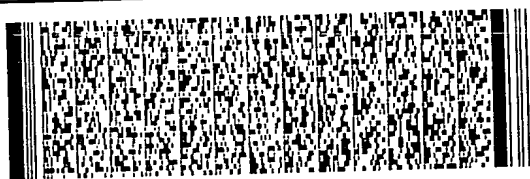
提供覆蓋有一墊層之一半導體基底，而其中形成一溝槽；

在該溝槽之下半部形成一埋入式溝槽電容；

在溝槽上半部內壁形成一領型介電層；

在該埋入式溝槽電容上方填入一第一導電層，且其低於該領型介電層一既定高度；

在該墊層表面及該溝槽之第一導電層上方之內表面依序形成一順應性之襯層與一未摻雜多晶或非晶矽層；



## 六、申請專利範圍

對該未摻雜之多晶或非晶矽層進行一斜角度離子佈植，其中該溝槽內之一部份的該多晶或非晶矽層未受到離子佈植；

進行一選擇性濕式蝕刻去除未受離子佈植之該未摻雜之多晶或非晶矽層以露出其下的襯層；

以該未去除的摻雜之多晶或非晶矽層為幕罩，依序蝕刻該露出的襯層與相鄰的該領型絕緣層；

去除剩餘之摻雜之多晶或非晶矽層與該襯層；

在該第一導電層上方填入一第二導電層，該第二導電層低於該半導體基底表面；以及

進行一熱製程，以在去除部分領型絕緣層之該半導體基底側壁上，形成一埋入帶擴散區域。

16. 根據申請專利範圍第15項所述之單側埋入帶之溝槽元件結構之製造方法，其中該襯層為氮化矽層。

17. 根據申請專利範圍第16項所述之單側埋入帶之溝槽元件結構之製造方法，其中該氮化矽層厚度約為100埃。

18. 根據申請專利範圍第16項所述之單側埋入帶之溝槽元件結構之製造方法，其中該未摻雜之多晶或非晶矽層與該氮化矽層係以低壓化學氣相沈積法(LPCVD)形成。

19. 根據申請專利範圍第15項所述之單側埋入帶之溝槽元件結構之製造方法，其中該未摻雜之多晶或非晶矽層之厚度介於50到100埃。

20. 根據申請專利範圍第15項所述之單側埋入帶之溝



## 六、申請專利範圍

槽元件結構之製造方法，其中該離子佈植之摻質為 $\text{BF}_2$ 或B。

21. 根據申請專利範圍第20項所述之單側埋入帶之溝槽元件結構之製造方法，其中該離子佈植之角度為 $7^\circ - 15^\circ$ 。

22. 根據申請專利範圍第20項所述之單側埋入帶之溝槽元件結構之製造方法，其中該選擇性濕式蝕刻係以低濃度氫氧化銨溶液為蝕刻液。

23. 一種具有單側埋入帶之溝槽元件結構，包含：

一基底，其中具有一深溝，且該深溝包含有一第一側壁區域以及一第二側壁區域；

一深溝電容器，設置於該深溝之下部區域中；

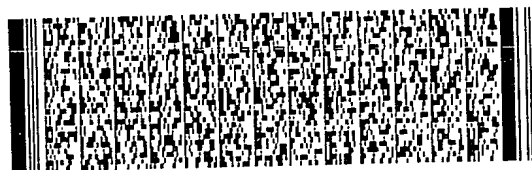
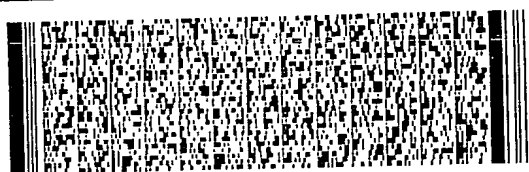
一第一與第二導電層，依序填充於該溝槽中之該深溝電容器之上；

一領型絕緣層，襯於該溝槽上部內壁中，用以將全部之該第一導電層以及部分之該第二導電層與該基底之間隔離，其中，未被隔離之該第二導電層與該基底直接相接；以及

一埋入帶擴散區域，設置於與該第二導電層直接相接之該基底上，形成單側埋入帶。

24. 根據申請專利範圍第23項所述之具有單側埋入帶之溝槽元件結構，其中該領型絕緣層為四乙基矽酸鹽所構成之氧化物。

25. 根據申請專利範圍第24項所述之具有單側埋入帶



六、申請專利範圍

之溝槽元件結構，其中該領型絕緣層之厚度介於200到300埃。

26. 根據申請專利範圍第23項所述之具有單側埋入帶之溝槽元件結構，其中該第一與第二導電層為摻雜的複晶矽層。

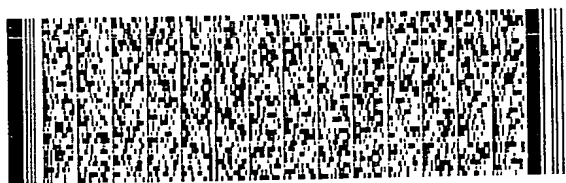
27. 根據申請專利範圍第23項所述之具有單側埋入帶之溝槽元件結構，其中該埋入帶擴散區域為摻雜的複晶矽層。

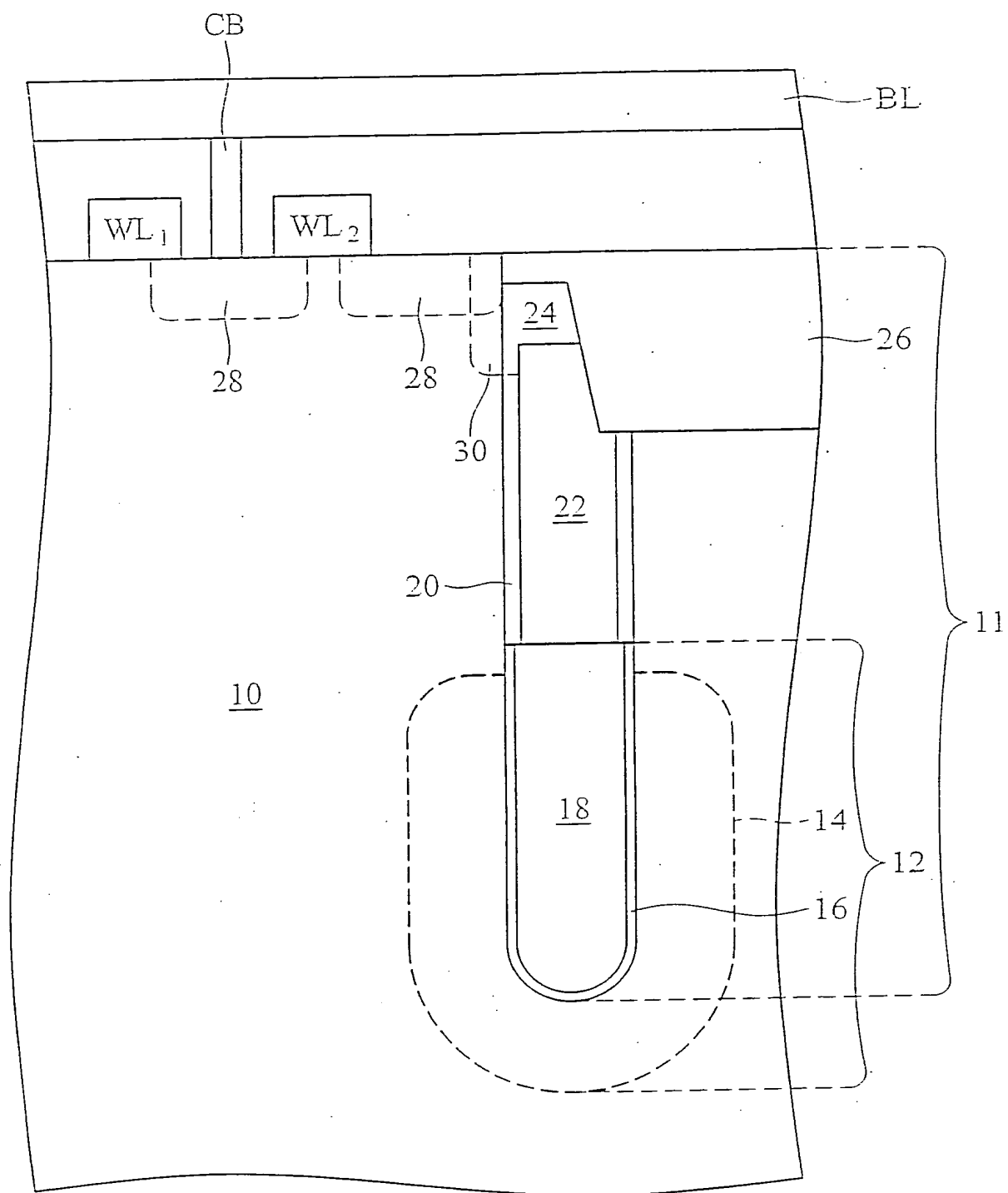
28. 根據申請專利範圍第23項所述之具有單側埋入帶之溝槽元件結構，其中該深溝電容器更包括：

一多晶矽層，係填滿該深溝之下方區域；

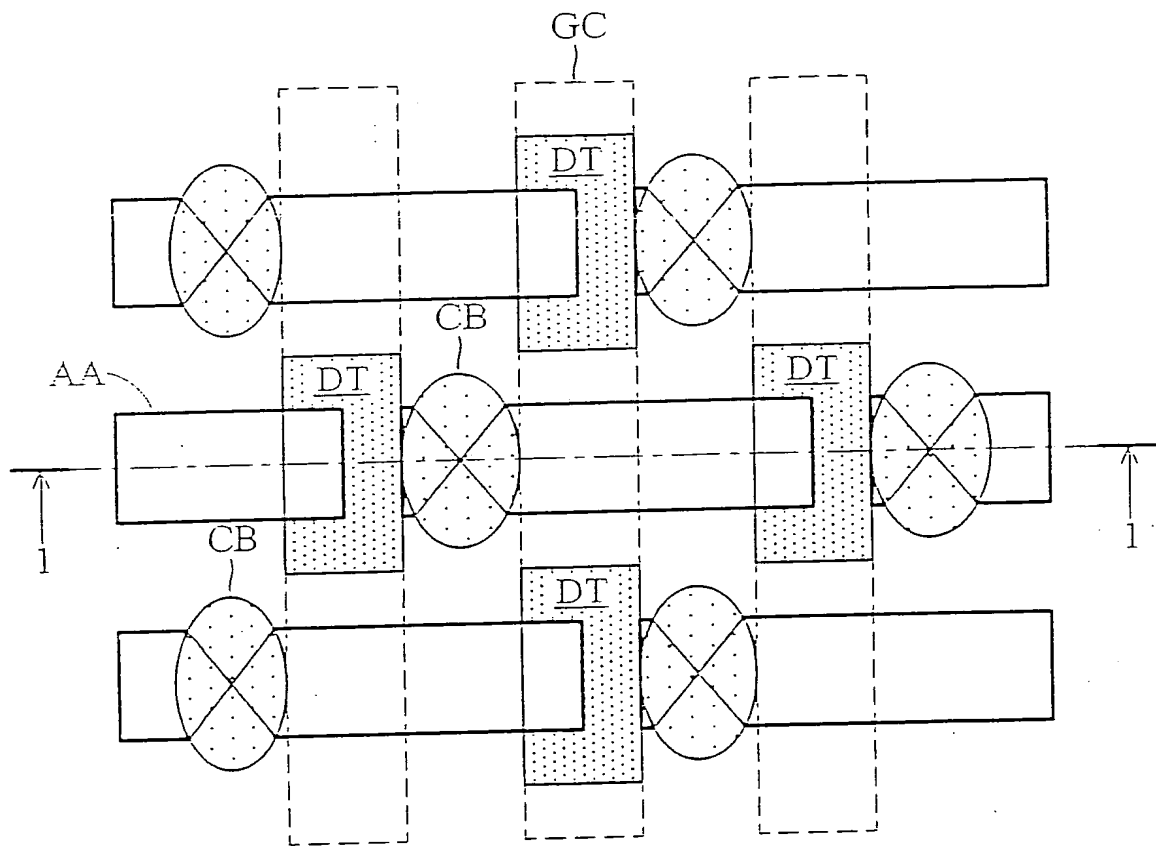
一離子摻雜擴散區，係形成於該深溝之下方區域的基底內，且環繞該多晶矽層；以及

一介電層，形成於該深溝之下方區域的側壁上，夾設於該多晶矽層以及該離子摻雜擴散區之間。

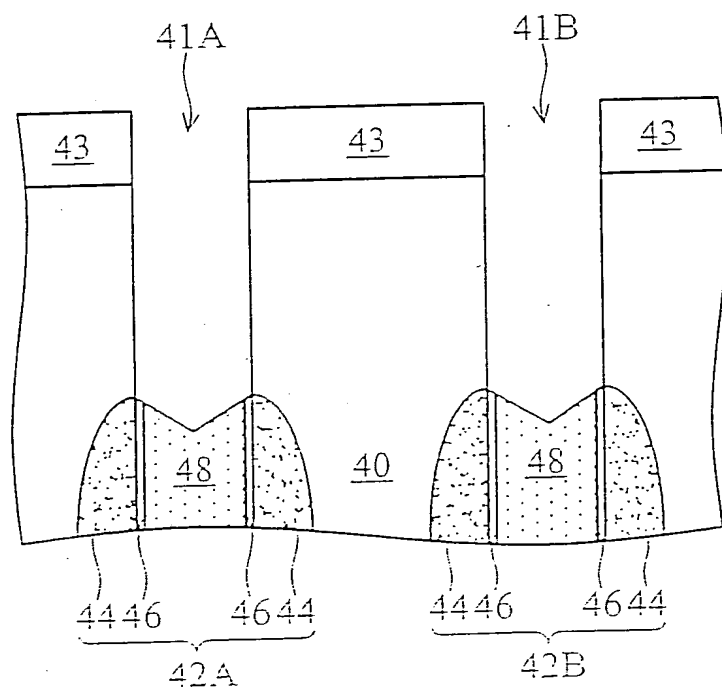




第 1 圖

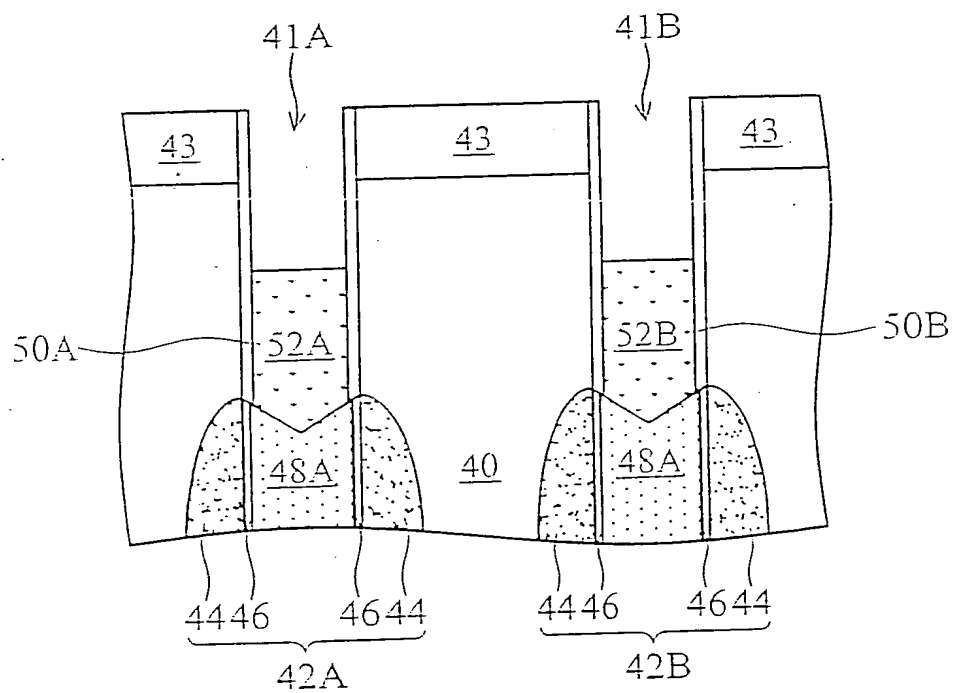


第 2 圖

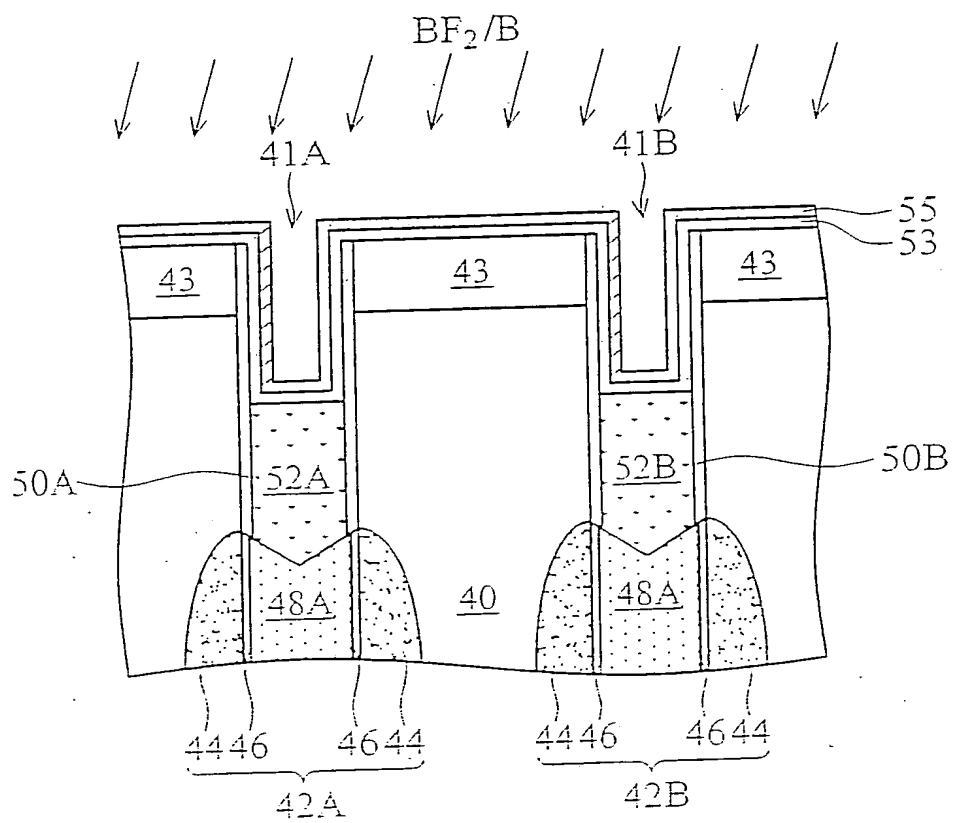


第 3 圖

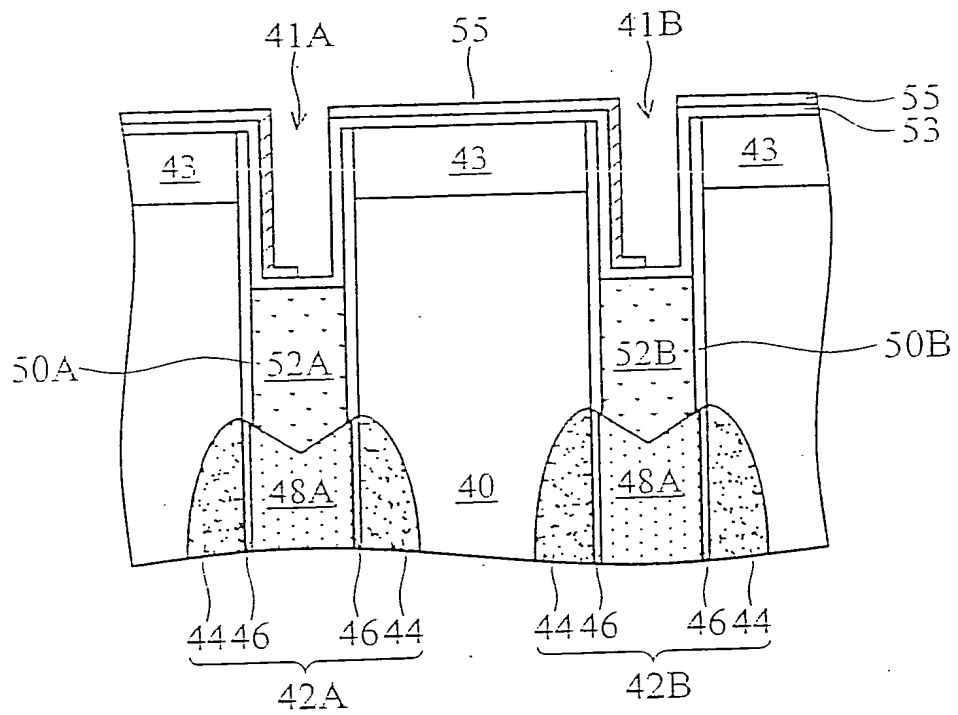




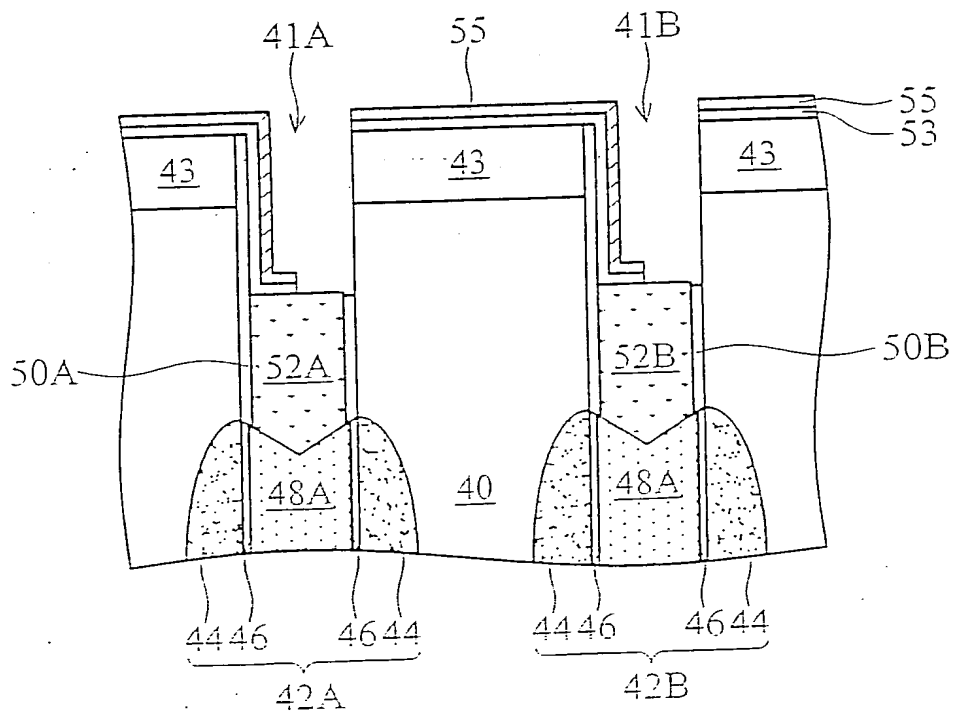
第 4 圖



第 5 圖



第 6 圖



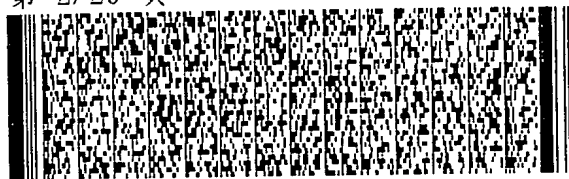
第 7 圖



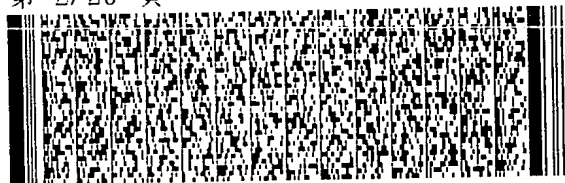
第 1/20 頁



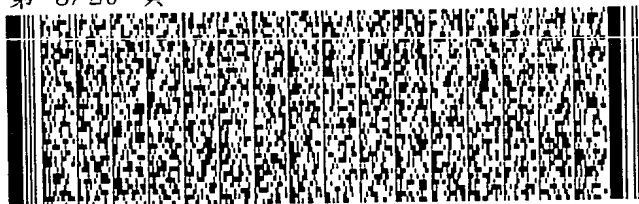
第 2/20 頁



第 2/20 頁



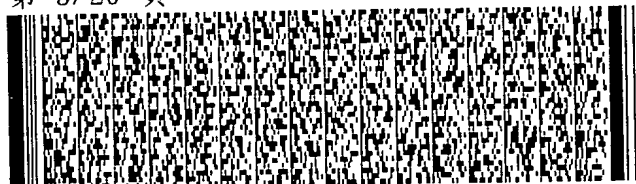
第 3/20 頁



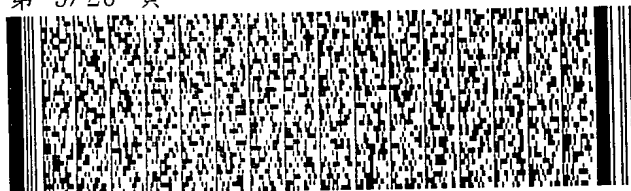
第 4/20 頁



第 5/20 頁



第 5/20 頁



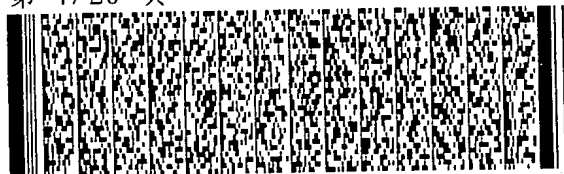
第 6/20 頁



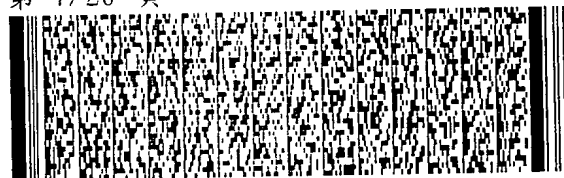
第 6/20 頁



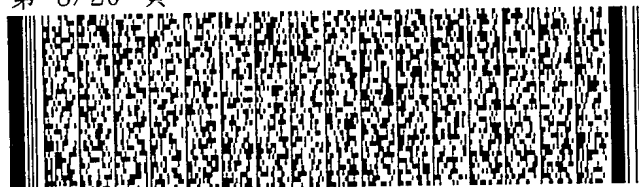
第 7/20 頁



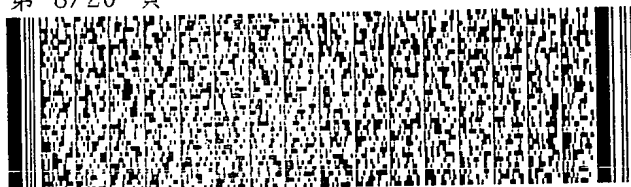
第 7/20 頁



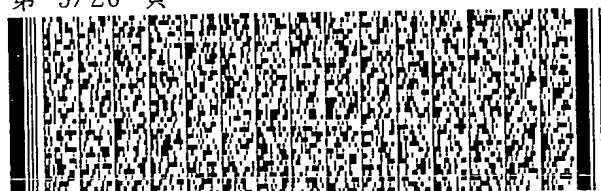
第 8/20 頁



第 8/20 頁



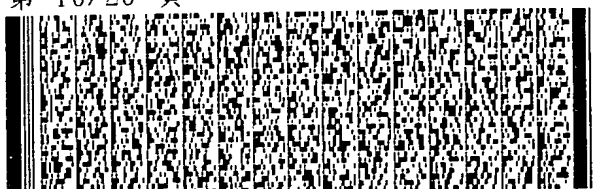
第 9/20 頁



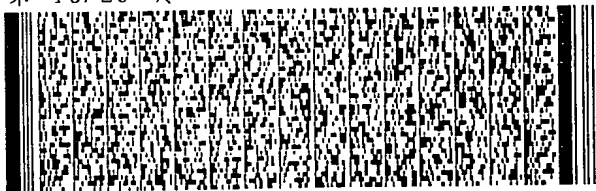
第 9/20 頁



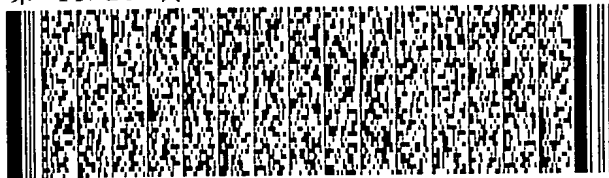
第 10/20 頁



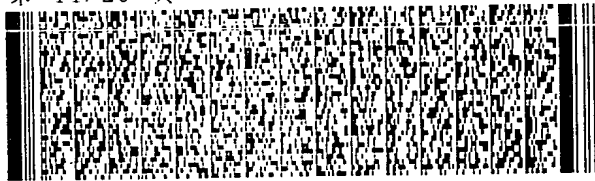
第 10/20 頁



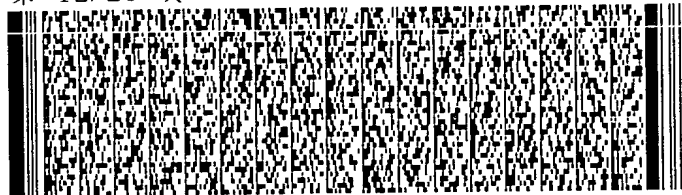
第 11/20 頁



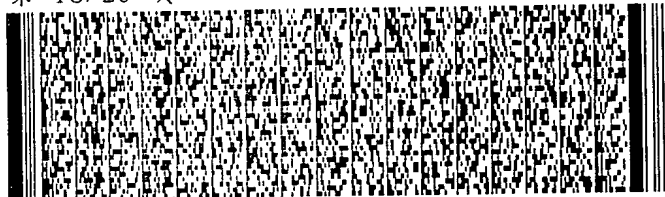
第 11/20 頁



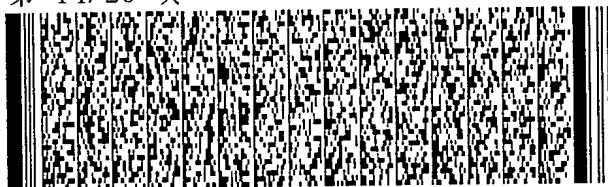
第 12/20 頁



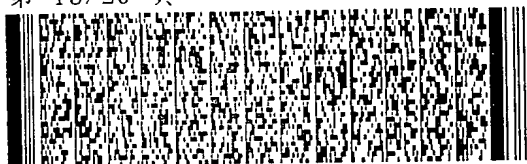
第 13/20 頁



第 14/20 頁



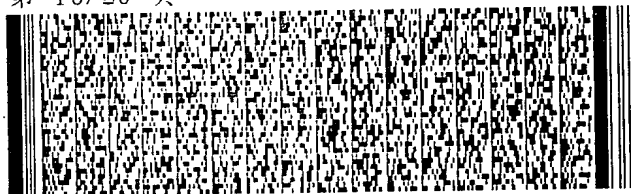
第 15/20 頁



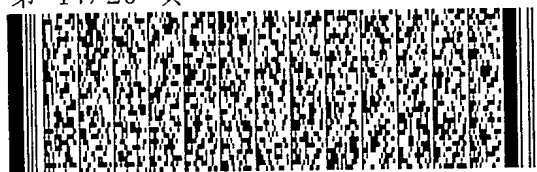
第 15/20 頁



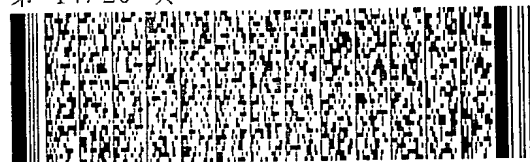
第 16/20 頁



第 17/20 頁



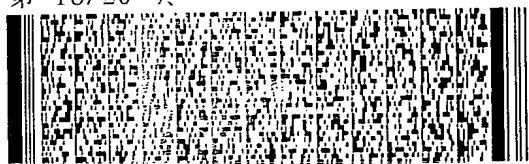
第 17/20 頁



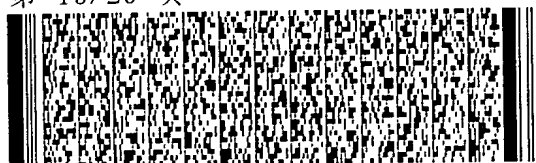
第 18/20 頁



第 18/20 頁



第 19/20 頁



第 19/20 頁



第 20/20 頁

